

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11420069

Basic Patent (No,Kind,Date): JP 5256914 A2 931008 <No. of Patents: 001>

TESTING CIRCUIT (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA JOHO SYST KK;
TOSHIBA MICRO ELECTRONICS

Author (Inventor): TANAKA NOBUYUKI; FUJIMORI MASAFUMI; YOSHIDA
NORIHIRO; MORITA TSUNEMASA

IPC: *G01R-031/28; H01L-021/66; H01L-021/82; H01L-027/04

Derwent WPI Acc No: G 93-354064

JAPIO Reference No: 180018P000092

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5256914	A2	931008	JP 9253504	A	920312 (BASIC)

Priority Data (No,Kind,Date):

JP 9253504 A 920312

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04265214 **Image available**

TESTING CIRCUIT

PUB. NO.: **05-256914** [JP 5256914 A]

PUBLISHED: October 08, 1993 (19931008)

INVENTOR(s): TANAKA NOBUYUKI

 FUJIMORI MASAFUMI

 YOSHIDA NORIHIRO

 MORITA TSUNEMASA

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

TOSHIBA JOHO SYST KK [000000] (A Japanese Company or
Corporation), JP (Japan)

TOSHIBA MICRO ELECTRON KK [000000] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 04-053504 [JP 9253504]

FILED: March 12, 1992 (19920312)

INTL CLASS: [5] G01R-031/28; H01L-021/66; H01L-021/82; H01L-027/04

JAPIO CLASS: 46.1 (INSTRUMENTATION -- Measurement); 42.2 (ELECTRONICS --
Solid State Components); 46.2 (INSTRUMENTATION -- Testing)

JOURNAL: Section: P, Section No. 1673, Vol. 18, No. 18, Pg. 92,
January 12, 1994 (19940112)

ABSTRACT

PURPOSE: To decrease the time and the cost required for the tests by testing functional blocks having the same function at the same time.

CONSTITUTION: Selecting signals S0 and S1 are inputted, and one memory block, e.g. A1, is selected. The signal of 8 bits is written into a cell corresponding to the address signal of the memory A1. The signal stored in the memory A1 is read out and outputted through an input/output pin 6. The read-out signal is compared with the expected values of an LSI tester and the like, and the normal state of the memory A1 is confirmed. Then, the selecting signals S0 and S1 are inputted, and all memory blocks A1-A3 are selected. Data D0-Dy of 8 bits are inputted through a pin 6 and written into 8 cells corresponding to the addresses of the memories. Then, the read-out data are sent into voltage comparing circuit VC0-VC7 through a data bus 10. When all memory blocks A1-A3 are normal, the output Ei of the circuit VCi becomes an L-level. Even if only one is defective, an H-level is obtained. This is also true for the output of an OR circuit, and the simultaneous measurements of the memories A1-A3 can be performed.

特開平5-256914

(43)公開日 平成5年(1993)10月8日

(51) Int. Cl. ⁵

識別記号

FI

G01R 31/28

H01L 21/66

21/82

F 8406-4M

6912-2G

9169-4M

G01R 31/28

H01L 21/82

V

T

審査請求 未請求 請求項の数2 (全8頁) 最終頁に続く

(21)出願番号

特願平4-53504

(22)出願日

平成4年(1992)3月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 391016358

東芝情報システム株式会社

東京都渋谷区千駄ヶ谷3丁目50番11号 明星ビル

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(74)代理人 弁理士 佐藤 一雄 (外3名)

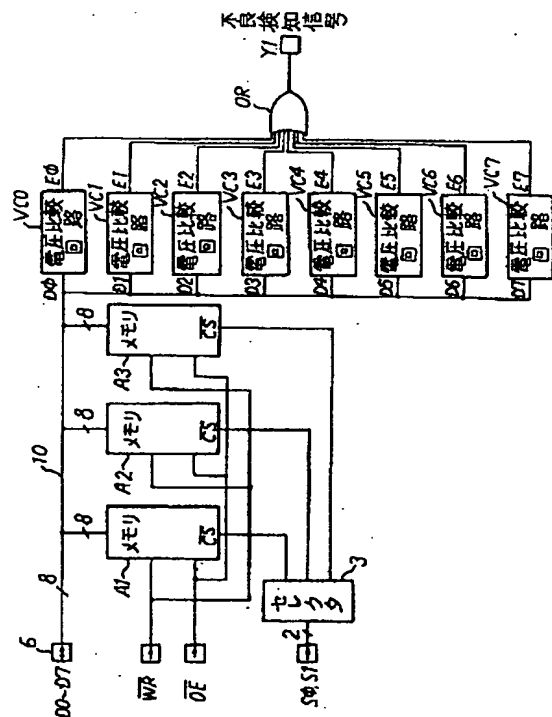
[最終頁に続く](#)

(54) 【発明の名称】 テスト回路

(57) 【要約】

【目的】 テストに要する時間とコストを低減させる。

【構成】 選択信号に応じて、半導体集積回路装置に内蔵されている各々が同一機能の複数の機能ブロックのうちの１個の機能ブロックを選択できるとともに同一機能のすべての機能ブロックを同時に選択することのできる選択手段Ｓと、選択された機能ブロックにデータ信号を入力するためのデータ入力手段６と、１個の機能ブロックが選択されている時にこの機能ブロックにデータ信号を入力した際に得られる機能ブロックからの出力データ信号を出力するためのデータ出力手段６と、同一機能のすべての機能ブロックが選択されている時に、同一機能のすべての機能ブロックに同一のデータ信号を入力した際に得られる機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段ＶＣｉ（ $i = 0, \dots, 7$ ）と、を備え、選択手段及び判定手段はともに半導体集積回路装置に内蔵されていることを特徴とする。



【特許請求の範囲】

【請求項 1】 選択信号に応じて、半導体集積回路装置に内蔵されている各々が同一機能の複数の機能ブロックのうちの 1 個の機能ブロックを選択できるとともに同一機能のすべての機能ブロックを同時に選択することのできる選択手段と、

選択された機能ブロックにデータ信号を入力するためのデータ入力手段と、

1 個の機能ブロックが選択されている時にこの機能ブロックにデータ信号を入力した際に得られる前記機能ブロックからの出力データ信号を出力するためのデータ出力手段と、

同一機能のすべての機能ブロックが選択されている時に前記同一機能のすべての機能ブロックに同一のデータ信号を入力した際に得られる前記機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段と、を備え、前記選択手段及び判定手段はともに前記半導体集積回路装置に内蔵されていることを特徴とするテスト回路。

【請求項 2】 選択信号に応じて、半導体集積回路装置に内蔵されている、同一機能の機能ブロックからなる複数組の集合のうち 1 組の集合を選択し、選択された集合内のすべての機能ブロックをイネーブルにする選択手段と、

前記選択された集合内のすべての機能ブロックにデータ信号を入力するためのデータ入力手段と、

前記選択された集合内の少なくとも 1 つの機能ブロックからの出力データ信号を出力するためのデータ出力手段と、

前記選択された集合内のすべての機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段と、

を備え、前記選択手段及び判定手段はともに前記半導体集積回路装置内に内蔵されていることを特徴とするテスト回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、半導体集積回路装置に内蔵されている同一機能の複数の機能ブロックをテストするテスト回路に関する。

【 0 0 0 2 】

【従来の技術】 従来のテスト回路の構成を図 6 に示す。このテスト回路は、半導体集積回路装置に内蔵されている複数（図面上で 3 個）の同一機能の機能ブロック A_i（i = 1, 2, 3）が正しい機能を有しているかどうかをテストするものであって、セクタ 6 1 とセクタ 6 2 とを有している。これらの機能ブロック A₁, A₂, A₃ をテストする場合は、まずセクタ 6 1 及び 6 2 によってテストすべき 1 個の機能ブロック、例えば機能ブロック A₁ を選択する。そして半導体集積回路装置（L

S I）の入力端子 I N を介してテストデータを、選択された機能ブロック A₁ に送って動作させ、この機能ブロック A₁ の出力をセクタ 6 2 及び半導体集積回路装置の出力端子 O U T を介して出力し、この出力を図示しない外部の L S I テスタ等で期待値と比較することによって、選択された機能ブロック A₁ の機能が正常かどうかを判断する。これを順次各々機能ブロック A₂, A₃ に対しても行って機能確認を終了する。

【 0 0 0 3 】

【発明が解決しようとする課題】 このような従来のテスト回路においては、機能ブロックを個々にテストするため、機能ブロックの数が増加すればするほど、テストに要する時間も増加し、テストに要するコストも増加するという問題があった。

【 0 0 0 4 】 又、今後は半導体集積回路装置に内蔵される機能ブロックの個数も増えて行くと予想され、従来のテスト回路ではテストに要する時間が増大し、テストに要するコストも増大することになる。

【 0 0 0 5 】 本発明は上記事情を考慮してなされたものであって、テストに要する時間を可及的に低減させることのできるテスト回路を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】 第 1 の発明によるテスト回路は、選択信号に応じて、半導体集積回路装置に内蔵されている各々が同一機能の複数の機能ブロックのうちの 1 個の機能ブロックを選択できるとともに同一機能のすべての機能ブロックを同時に選択することのできる選択手段と、選択された機能ブロックにデータ信号を入力するためのデータ入力手段と、1 個の機能ブロックが選択されている時にこの機能ブロックにデータ信号を入力した際に得られる前記機能ブロックからの出力データ信号を出力するためのデータ出力手段と、同一機能のすべての機能ブロックが選択されている時に前記同一機能のすべての機能ブロックに同一のデータ信号を入力した際に得られる前記機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段と、を備え、前記選択手段及び判定手段はともに前記半導体集積回路装置に内蔵されていることを特徴とする。

【 0 0 0 7 】 第 2 の発明によるテスト回路は、選択信号に応じて、半導体集積回路装置に内蔵されている、同一機能の機能ブロックからなる複数組の集合のうち 1 組の集合を選択し、選択された集合内のすべての機能ブロックをイネーブルにする選択手段と、前記選択された集合内のすべての機能ブロックにデータ信号を入力するためのデータ入力手段と、前記選択された集合内の少なくとも 1 つの機能ブロックからの出力データ信号を出力するためのデータ出力手段と、前記選択された集合内のすべての機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段と、を備え、前記選択手段及び判定手段はともに前記半導体集積回路装置内に内

蔵されていることを特徴とする。

【 0 0 0 8 】

【作用】このように構成された第 1 の発明のテスト回路によれば、まず、選択手段に 1 個の機能ブロックを選択し、この選択された機能ブロックにデータ入力手段を介してデータを入力し、この時得られる出力信号を、出力手段を介して半導体集積回路装置の外部に出力し、この出力と期待値とを比較することによって選択された機能ブロックが正常であるかどうかを外部のテスト等によって判定する。

【 0 0 0 9 】 正常な場合は、選択手段によって同一機能のすべての機能ブロックを同時に選択し、この選択されたすべての機能ブロックにデータ入力手段を介して同一のデータ信号を入力する。この時得られる機能ブロックの出力信号がすべて同一かどうかを判定手段によって判定する。同一と判定されれば、同一機能のすべての機能ブロックは正常であり、同一でないとは判定されれば不良の機能ブロックが存在していることになる。これにより、同一機能の機能ブロックをすべて同時にテストすることが可能となり、テストに要する時間とコストを可及的に減少させることができる。

【 0 0 1 0 】 又このように構成された第 2 の発明のテスト回路によれば、選択手段によって同一機能の機能ブロックからなる 1 組の集合が選択され、選択された集合内の機能ブロックすべてがイネーブルにされる。この時、データ信号（テスト信号）がデータ入力手段を少なくともして外部から入力されると、このデータ信号はイネーブルにされた機能ブロックに送られる。すなわち、イネーブルにされた機能ブロックには同一のデータ信号が送られることになる。そして、イネーブルにされた機能ブロックからの出力データ信号の値が同一かどうかを判定手段によって判定される。同一と判定されれば同一機能のすべての機能ブロックはすべて正常であるか、すべて異常であるかのどちらかである。この時、イネーブルにされた同一機能の機能ブロックの中から少なくとも 1 つの機能ブロックの出力データ信号がデータ出力手段を介して外部出力されるから、この出力データ信号を外部に設けられている L S I テスタ等によって期待値と比較することによって、同一機能のすべての機能ブロックが正常であるか異常であるかを判定することができる。又、判定手段によって同一でないとは判定された場合は、不良の機能ブロックが存在していることになる。

【 0 0 1 1 】 これにより、同一機能の機能ブロックをすべて同時にテストすることが可能となり、テストに要する時間とコストを可及的に減少させることができる。

【 0 0 1 2 】

【実施例】第 1 の発明によるテスト回路の一実施例の構成を図 1 に示す。この実施例のテスト回路はセクタ 3 と、電圧比較回路 V C i (i = 0 , … 7) と、O R 回路とを備えており、テストすべき複数個（この実施例では

3 個）のメモリブロック A 1 , A 2 , A 3 とともに半導体集積回路装置に内蔵されている。

【 0 0 1 3 】 セクタ 3 は、選択信号 S 0 , S 1 に基づいて 3 個のメモリブロック A 1 , A 2 , A 3 のうちの 1 個を選択するか又は全てのメモリブロック A 1 , A 2 , A 3 を選択する。すなわち、例えばメモリブロック A 1 , A 2 , A 3 のうち A 1 が選択される場合はメモリブロック A 1 に入力されるチップ・セレクト入力信号バー C S をアクティブにし、全てのメモリブロック A 1 , A 2 , A 3 が選択される場合は各メモリブロック A i (i = 1 , 2 , 3) に入力されるチップ・セレクト入力信号バー C S をアクティブにする。選択された各メモリブロック A i はライトイネーブル入力信号バー W R がアクティブの時に、データバス 1 0 を介して 8 ビットのデータ D 0 , D 1 , … D 7 が入力されると、アドレスバス（図示せず）を介して入力されたアドレス信号に対応するメモリセルに上記データを記憶する。又、選択された各メモリブロック A i は出力イネーブル入力信号バー O E がアクティブの時にアドレスバスを介して入力されたアドレス信号に対応するメモリセルに記憶されている 8 ビットのデータ D 0 , D 1 , … , D 7 をデータバス 1 0 に送る。

【 0 0 1 4 】 各電圧比較回路 V C i (i = 0 , 1 , … 7) は 3 個のメモリブロック A 1 , A 2 , A 3 から送られてくる i 番目のデータ D i が全て同じ場合には“L”レベルの信号を出力し、1 つでも異なる場合（この時の電圧比較回路 V C i の入力は“H”レベルと“L”レベルと中間レベルとなる。）は“H”レベルの信号を出力する。この電圧比較回路 V C i の一具体例を図 2 に示す。この図 2 に示す電圧比較回路 V C i はコンパレータ C 1 , C 2 と、Exclusive N O R 回路 E X N O R とを有しており、入力データ D i のレベルが 4 . 5 V よりも大きい、又は 0 . 4 V よりも小さい場合（メモリブロック A 1 , A 2 , A 3 からの信号がすべて同じ場合）に、その出力 E i のレベルを“L”とし、入力データ D i のレベルが 0 . 4 V と 4 . 5 V の間にある場合（メモリブロック A 1 , A 2 , A 3 からの信号が 1 つでも異なる場合）に、その出力 E i のレベルを“H”とする。O R 回路は電圧比較回路 V C 0 , V C 1 , … V C 7 の出力の論理和演算を行う。

【 0 0 1 5 】 次に本実施例の作用を説明する。まず、各々のメモリブロック A i の入出力線が切れていないかどうかを確認するために、個々に 1 アドレスのみ、書込み及び読出しを行う。その後、選択信号 S 0 , S 1 を入力して 3 個のメモリブロック A 1 , A 2 , A 3 の中から一つのメモリブロック例えば A 1 をセクタ S によって選択する。すると選択されたメモリブロック A 1 へのチップ・セレクト入力信号バー C S がアクティブになる。この時、ライトイネーブル信号バー W R をアクティブにして選択されたメモリブロック A 1 のアドレス信号に対応

するセルに 8 ビットのデータを書込む。次にライトイネーブル信号バーWRを非アクティブにし、出力イネーブル信号バーOEをアクティブにして上記セルに記憶されているデータを読出す。このデータの出出しは、データ入出力ピン 6 を介して行われる。そして読出したデータを図示しない L S I テスタ等によって期待値と比較することにより、選択されたメモリブロック A 1 が正常であることを確認する。

【0016】次に、所定の選択信号 S 0, S 1 を入力することにより、セクタ S によって全てのメモリブロック A 1, A 2, A 3 のチップ・セレクト信号バーCSをアクティブにする。その後、バーOE信号を非アクティブ、バーWR信号をアクティブにして、データ入出力ピン 6 から 8 ビットのデータ D 0, D 1, … D 8 を入力して、各メモリブロック A i のアドレス信号に対応する 8 個のセルに上記データ D 0, D 1, … D 7 を書込む。そして、バーWR信号を非アクティブ、バーOEをアクティブにして上記各メモリブロック A i の各々の上記 8 個のセルからデータを読み出し、この読出したデータをデータバス 10 上に出力する。すると、メモリブロック A 1, A 2, A 3 から出力された各 i 番目のデータ D i がデータバス 10 上でショートした状態となる。このショートした状態の i 番目のデータ D i はデータバス 10 を介して電圧比較回路 V C i に送られる。

【0017】この時、全てのメモリブロック A 1, A 2, A 3 が正常であればデータバス 10 上の各 i 番目のデータ D i のレベルは“H”レベルもしくは“L”レベルとなるが、1 つでもメモリブロックが不良であれば、データバス 10 上にあるデータのレベルが“L”レベルと“H”レベルの中間レベルとなる。

【0018】したがって、すべてのメモリブロック A 1, A 2, A 3 が正常であれば各電圧比較回路 V C i (i = 0, … 7) に入力されるデータ D i は“H”レベル又は“L”レベルとなり、電圧比較回路 V C i の出力 E i は“L”レベルとなる。又、あるメモリブロックのセルが不良であれば、ある電圧比較回路 V C j に入力されるデータ D j が“L”と“H”の中間レベルとなるから、この電圧比較回路 V C j の出力 E j は“H”レベルとなる。これにより全てのメモリブロック A 1, A 2, A 3 が正常であれば、電圧比較回路 V C i (i = 0, 1, … 7) からの出力信号 E i がすべて“L”レベルとなるから OR 回路 OR の出力も“L”レベルとなり、又、あるメモリブロックのセルが不良であれば、OR 回路 OR の出力は“H”となる。

【0019】以上述べたように本実施例によればすべてのメモリブロック A 1, A 2, A 3 を同時にテストすることが可能となり、従来の場合に比べてテストに要する時間及びコストを低減させることができる。

【0020】次に第 2 の発明によるテスト回路の第 1 の実施例の構成を図 3 に示す。この実施例のテスト回路は

テスト選択回路 3 1 と、セクタ 3 3 と、データ比較回路 3 5 と、セクタ 3 7 とを備えており、テストすべき複数の機能ブロック（例えばメモリ）A 1, A 2, A 3, B 1, B 2, C 1, C 2 とともに半導体集積回路装置に内蔵されている。なお、機能ブロック A 1, A 2, A 3 は各々同一機能を有しており、機能ブロック B 1 と B 2、及び機能ブロック C 1 と C 2 は各々同一機能を有している。

【0021】テスト選択回路 3 1 は、テスト指示信号に基づいて動作し、機能ブロック選択信号に応じて同一機能の機能ブロック、例えば機能ブロック A 1, A 2, A 3 をイネーブル状態にする。セクタ 3 3 はイネーブル状態にされた機能ブロックに入力データを送る。データ比較回路 3 5 は例えば図 4 に示すようにインバータ回路 4 1, AND 回路 4 2 a, 4 2 b, 4 2 c, 4 2 d, 4 2 e, 4 2 f, OR 回路 4 3 a, 4 3 b, 4 3 c、及び Exclusive OR 回路 4 5 を有しており、送信されるデータ比較回路テスト指示信号に基づいて動作し、イネーブル状態にされた各機能ブロック（例えば A 1, A 2, A 3）からの出力データ信号（例えば A O 1, A O 2, A O 3）の値が同一かどうかを比較し、同一でない場合に不良検知信号を外部に出力する。なお、このデータ比較回路 3 5 においては、データ比較回路テスト用データ

（各種のパターンデータ）はセクタ 3 3 を介して入力され、セクタ 3 7 を介して出力されるデータ比較回路テスト用データ出力と不良検知信号とに基づいて図示しない外部の L S I テスタ等によってデータ比較回路 3 5 が正常に動作するかどうかを検出するのに用いられる。セクタ 3 7 はテスト選択回路 3 1 からの指令信号に基づいて動作し、イネーブル状態にされた機能ブロックのうち 1 つの機能ブロックからの出力データ信号を外部に出力する。

【0022】次に、この第 1 の実施例の動作を説明する。まず、テスト指示信号が入力されるとテスト選択回路 3 1 が動作する。次に機能ブロック選択信号としてデータ比較回路 3 5 を選択する選択信号がテスト選択回路 3 1 に入力されると、テスト選択回路 3 1 からデータ比較回路 3 5 にテスト指示信号（この時の値は“H”）が送られて、データ比較回路 3 5 がテストモードとなる。この時、セクタ 3 3 にテストデータが入力される。このテストデータはデータ比較回路 3 5 に送られて、データ比較回路 3 5 が正常かどうかテストされる。このテストはテストデータのパターンを色々変えることによってセクタ 3 7 を介して出力されるデータ比較回路 3 5 の出力データと Exclusive OR 回路 4 5 の出力とに基づいて行われる。

【0023】次にデータ比較回路 3 5 が正常であると検出された後、機能ブロック A 1, A 2, A 3 が選択される機能ブロック選択信号をテスト選択回路 3 1 に入力するとともに、テストデータをセクタ 3 3 に入力する

と、機能ブロック A 1, A 2, A 3 がイネーブル状態になるとともに入力されたテストデータはセクタ 3 3 を介して機能ブロック A 1, A 2, A 3 に送られる。この時、機能ブロック A 1, A 2, A 3 には同一テストデータが送られたことになる。

【0024】一方、機能ブロック A 1, A 2, A 3 から出力されるデータ信号 A 0 1, A 0 2, A 0 3 はデータ比較回路 3 5 に送られて、それらの値がすべて等しいかどうかを比較され、同一でない場合に不良検知信号を外部に出力する。この時、機能ブロック A 1, A 2, A 3 のうち少なくとも 1 個もしくは 2 個が正常でないとは判断される。しかし、イネーブル状態にされた機能ブロックすべてが正常でない場合には不良検知信号は出力されないため、イネーブル状態にされた機能ブロックのうち、1 つの機能ブロック、例えば A 1 の出力データをセクタ 3 7 を介して外部に出力し、L S T テスタ等によって機能ブロック A 1 が正常かどうかを判定することによってイネーブル状態にされた機能ブロック A 1, A 2, A 3 がすべて正常かどうかを判定する。同様にして機能ブロック B 1, B 2 及び機能ブロック C 1, C 2 が正常かどうかをテストすることができる。

【0025】なお、上記実施例においては、機能ブロックがテストされる時は、テスト選択回路 3 1 からデータ比較回路 3 5 に送出されるデータ比較回路テスト指示信号の値は“L”となっているものとする。

【0026】以上述べたように本実施例によれば同一機能の機能ブロックを同時にテストすることが可能となり、テストに要する時間を短縮することができるとともにコストを低減させることができる。

【0027】次に第 2 の発明のテスト回路の第 2 の実施例の構成を図 5 に示す。この実施例のテスト回路は図 3 に示す第 1 の実施例のテスト回路において、テスト選択回路 3 1 及びセクタ 3 7 の代りにテスト選択回路 3 1 A 及びセクタ 3 7 A を設けたものである。図 5 においてテスト選択回路 3 1 A に入力されるテスト方式選択信号は、同一機能の機能ブロックすべてをテストするか、又は個々にテストするかを選択する信号である。同一機能の機能ブロックのすべてをテストする場合の動作は図 3 に示す第 1 の実施例と同一の動作をする。同一機能の機能ブロックを個々にテストする場合を意味するテスト方式選択信号がテスト選択回路 3 1 A に入力されると、

選択指令信号がセクタ 3 7 A に送られて、イネーブルにされて同一機能の機能ブロックの中から 1 つの機能ブロックが選択されて、この選択された機能ブロックからの出力データ信号がセクタ 3 7 A を介して外部に出力される。この出力された出力データ信号に基づいて L S T テスタ等によって選択された機能ブロックが正常かどうか判定される。なお、1 つの機能ブロックを選択するための信号としては機能ブロック選択信号を利用しても良いし、新たに外部から入力しても良い。

【0028】機能ブロック選択信号を利用する場合はテスト選択回路 3 1 A に入力される機能ブロック選択信号は個々の機能ブロック（例えば機能ブロック A 2）を選択するための信号であって、テスト選択回路 3 1 A はこの信号を受けると、選択された機能ブロックと同一機能を有する機能ブロックすべて（例えば、機能ブロック A 1, A 2, A 3）をイネーブルにすることになる。

【0029】この第 2 の実施例のテスト回路も第 1 の実施例のテスト回路と同様の効果を有することは言うまでもない。

【0030】

【発明の効果】本発明によれば、すべての機能ブロックを同時にテストすることが可能となり、テストに要する時間及びコストを可及的に低減させることができる。

【図面の簡単な説明】

【図 1】第 1 の発明の実施例の構成を示すブロック図

【図 2】第 1 の発明にかかる電圧比較回路の一具体例を示す回路図

【図 3】第 2 の発明の第 1 の実施例の構成を示すブロック図。

【図 4】第 2 の発明の第 1 の実施例にかかるデータ比較回路の一具体例を示す回路図。

【図 5】第 2 の発明の第 2 の実施例の構成を示すブロック図。

【図 6】従来のテスト回路を示すブロック図

【符号の説明】

3 セクタ

6 データ入出力ピン

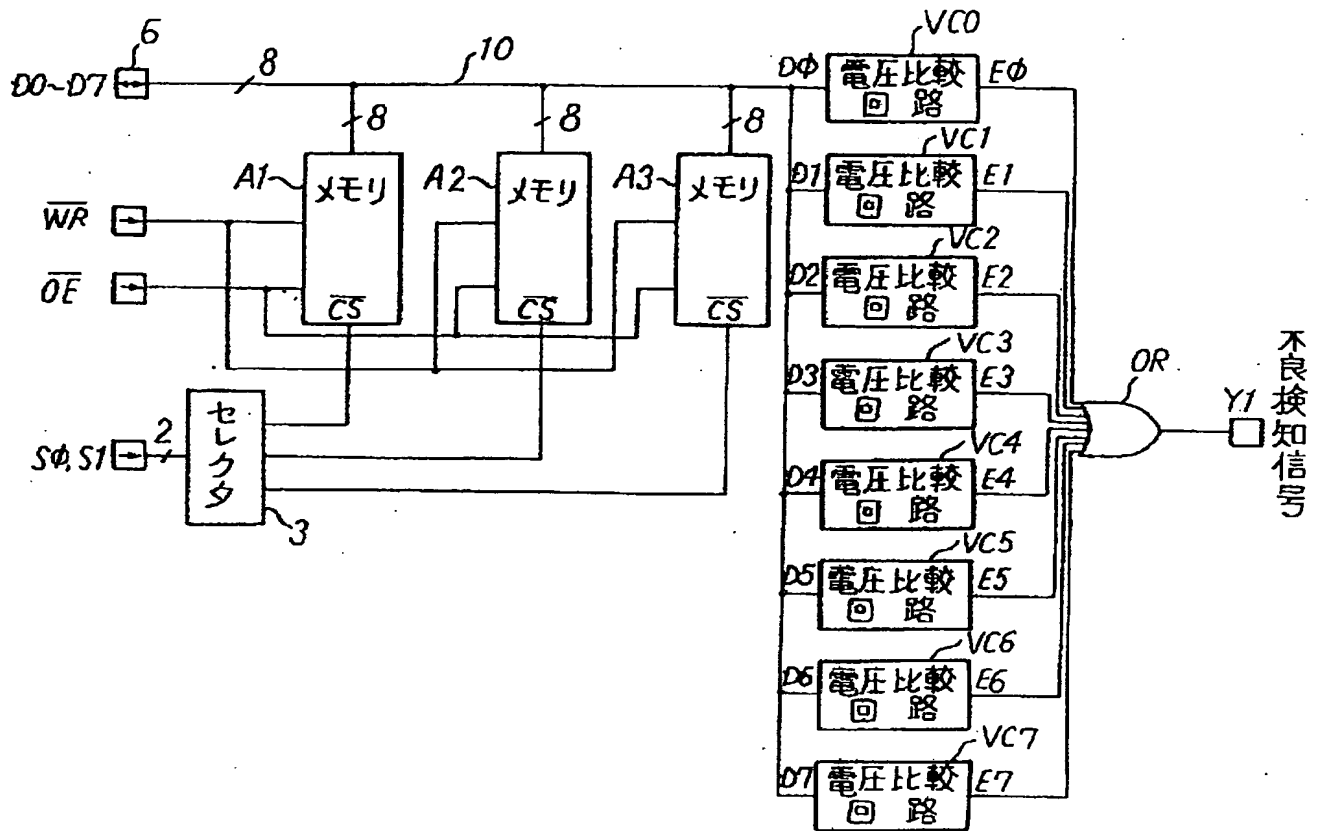
10 データバス

A i (i = 1, … 3) メモリブロック

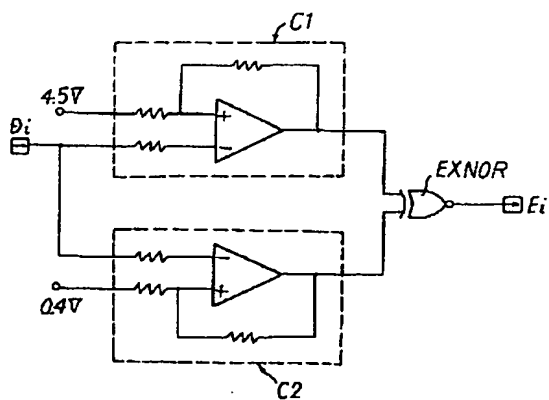
O R O R 回路

V C i (i = 0, … 7) 電圧比較回路

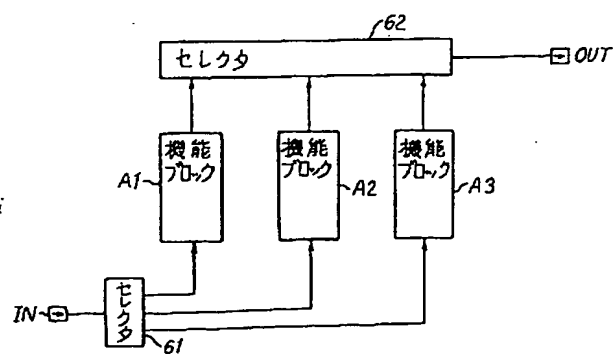
【図 1】



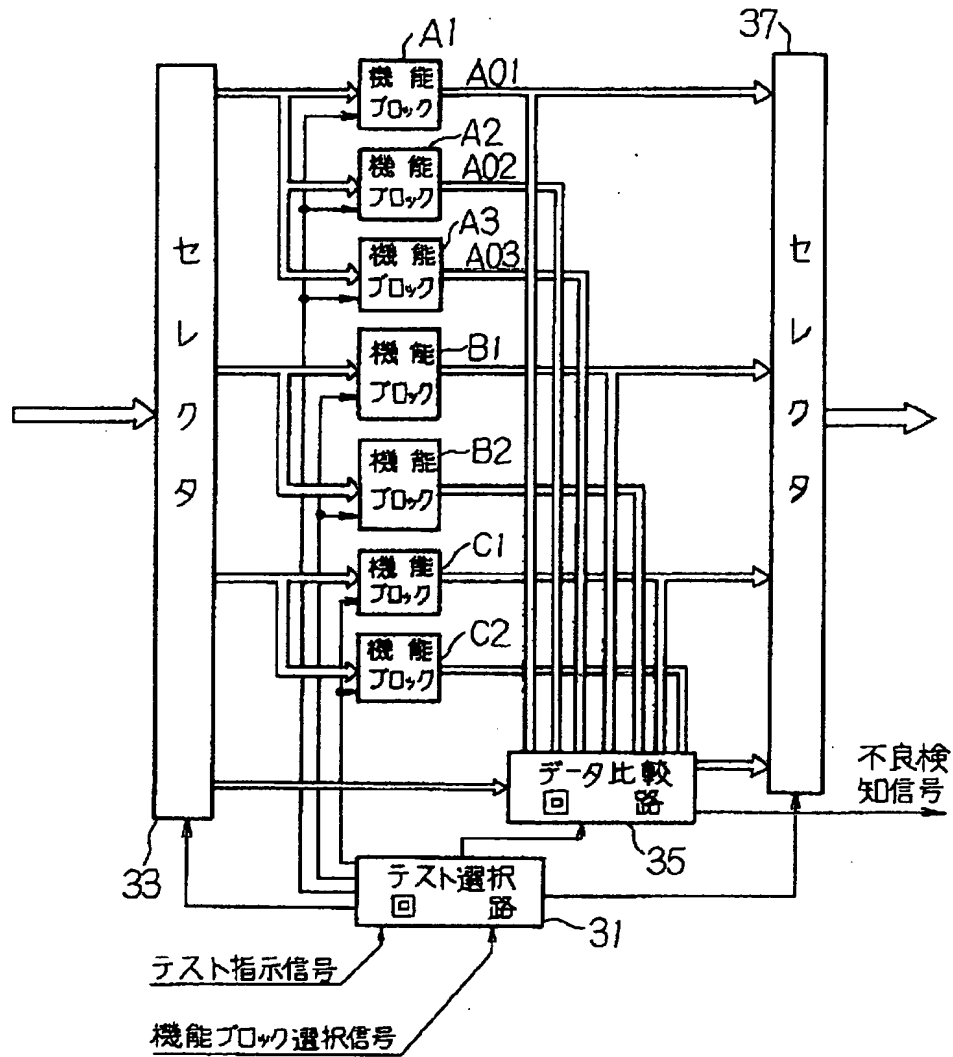
【図 2】



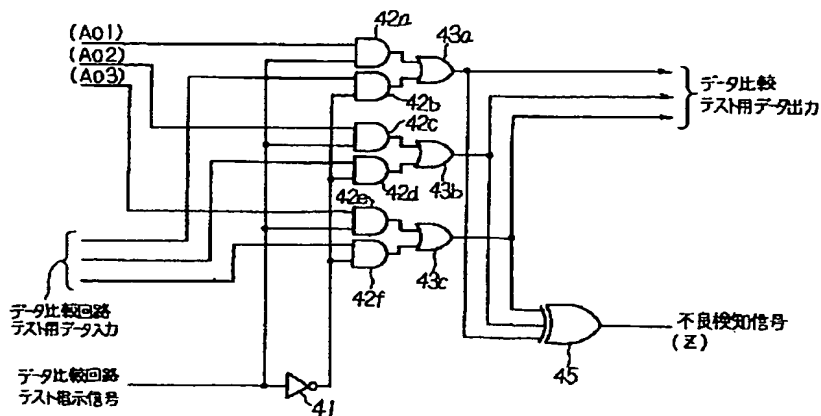
【図 6】



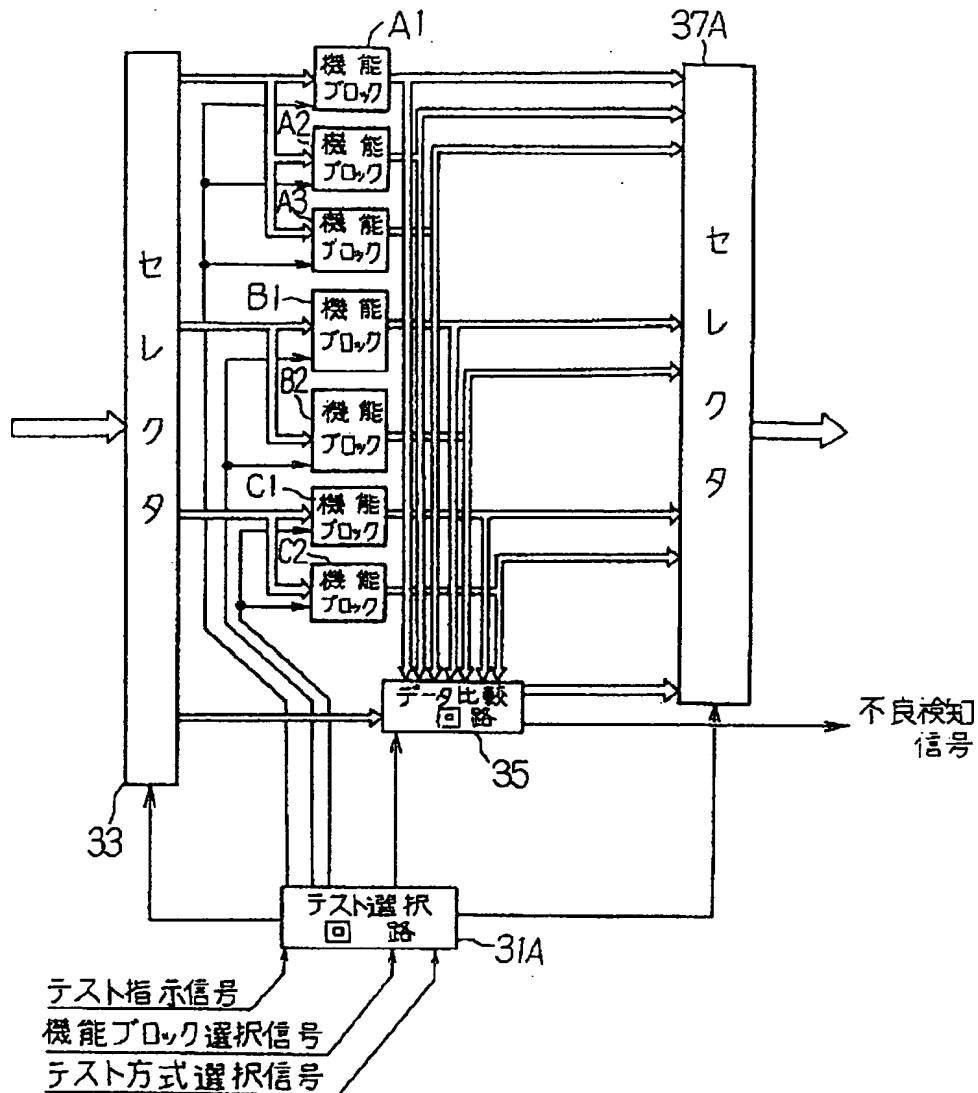
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl.⁵
H 0 1 L 27/04

識別記号 庁内整理番号
T 8427-4M

F I

技術表示箇所

(72) 発明者 田 中 信 行
東京都渋谷区千駄ヶ谷三丁目50番11号 東
芝情報システム株式会社内
(72) 発明者 藤 森 雅 文
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 吉 田 典 弘
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内
(72) 発明者 森 田 常 正
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内